

Family list

1 family member for:

JP6132305

Derived from 1 application.

**1 METHOD OF MANUFACTURING POLYCRYSTALLINE SILICON THIN
FILM TRANSISTOR**

Publication info: **JP6132305 A** - 1994-05-13

Data supplied from the *esp@cenet* database - Worldwide

METHOD OF MANUFACTURING POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR

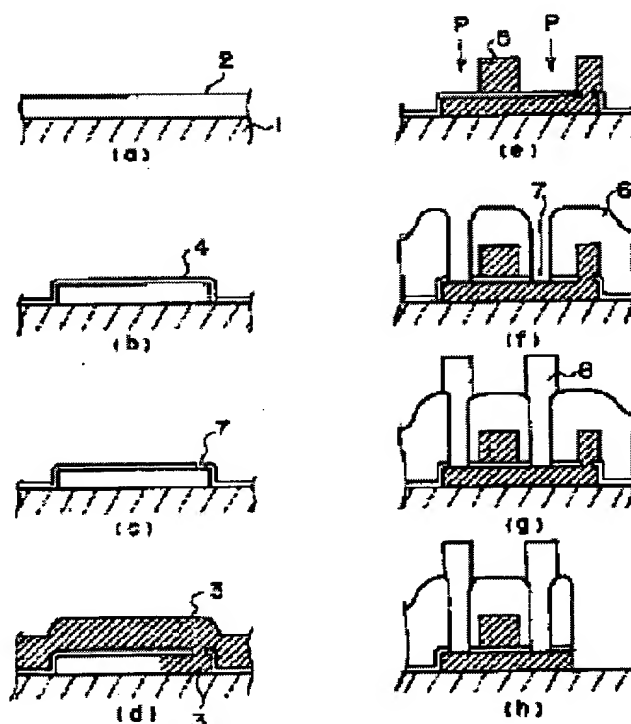
Patent number: JP6132305
Publication date: 1994-05-13
Inventor: KASHIMOTO NOBORU
Applicant: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA ELECTRONIC ENG
Classification:
 - international: **H01L21/20; H01L21/336; H01L21/02; (IPC1-7): H01L21/336; H01L21/20; H01L29/784**
 - european:
Application number: JP19920085386 19920407
Priority number(s): JP19920085386 19920407

Report a data error here

Abstract of JP6132305

PURPOSE: To enhance the mobility of an active polycrystalline silicon for avoiding the dispersion in the characteristics of the thin film transistor while avoiding the breakdown of a gate insulating film due to the charge up during the manufacturing steps by a method wherein a silicon film on a substrate is to be polycrystallized using the polycrystalline silicon in a gate layer as a crystalline nucleus.

CONSTITUTION: A silicon film 2 is formed on a substrate 1 to form a gate insulating film 4 on the silicon film 2 and then a gate layer to be a gate electrode in contact with the silicon film 2 is formed of a polycrystalline silicon 3 on the gate insulating film 4. Next, the silicon film 2 on the substrate 1 is polycrystallized using the polycrystalline silicon 3 in the gate layer as a crystalline nucleus to form source/drain regions by ion implanting step. Next, after the formation of a specific interlayer insulating film 6 and electrode 8, any needless connecting parts are cut off. For example, after patterning the amorphous silicon 2, the silicon oxide film 4 (gate insulating film) is formed to make a contact hole in a part thereof so that the previously formed polycrystalline silicon 3 may be heat-treated.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-132305

(43) 公開日 平成6年(1994)5月13日

(51) Int. Cl. ⁵

識別記号

F I

H01L 21/336

29/784

21/20

9171-4M

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数 1 (全4頁)

(21) 出願番号

特願平4-85386

(22) 出願日

平成4年(1992)4月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221339

東芝電子エンジニアリング株式会社

神奈川県川崎市川崎区日進町7番地1

(72) 発明者 榎本 登

神奈川県川崎市幸区堀川町72番地 東芝電

子エンジニアリング株式会社内

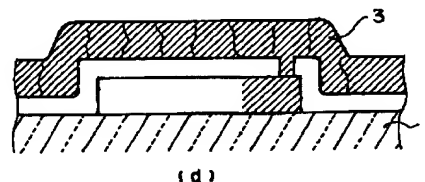
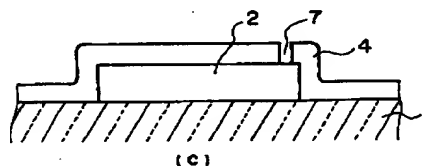
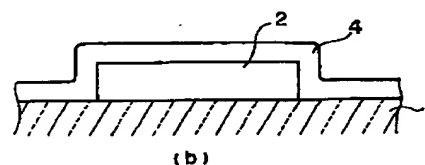
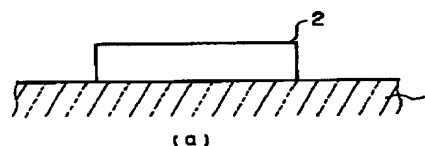
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 多結晶シリコン薄膜トランジスタの製造方法

(57) 【要約】

【目的】 活性層多結晶シリコンの移動度を向上させ、個々の薄膜トランジスタの特性のバラツキをなくすると共に、製造工程中のチャージアップによるゲート絶縁膜の破壊を防止する。

【構成】 基板上にシリコン膜を形成する工程と、そのシリコン膜上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に基板上のシリコン膜と接触させてゲート電極となるゲート層を多結晶シリコンにより形成する工程と、ゲート層の多結晶シリコンを結晶核として基板上のシリコン膜を多結晶とする工程と、イオン注入によりソース、ドレイン領域を形成する工程と、所要の層間絶縁膜および電極を形成後、不要な接続部を切断する工程とからなる。



【特許請求の範囲】

【請求項 1】 基板上にシリコン膜を形成する工程と、前記シリコン膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記基板上のシリコン膜と接触させてゲート電極となるゲート層を多結晶シリコンにより形成する工程と、前記ゲート層の多結晶シリコンを結晶核として前記基板上のシリコン膜を多結晶とする工程と、イオン注入によりソース、ドレイン領域を形成する工程と、所要の層間絶縁膜および電極を形成後、不要な接続部を切断する工程とからなる多結晶シリコン薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は多結晶シリコン薄膜トランジスタの製造方法に関し、とくに活性層の移動度を向上させると共に、製造工程中の製品不良を減少させる製造方法に関する。

【0002】

【従来の技術】 多結晶シリコン薄膜トランジスタは、近年、開発が盛んに行われており、これを応用したイメージセンサ（特開昭 60 - 22881 号公報）、感熱ヘッド（特開昭 62 - 181473 号公報）、液晶ディスプレイ等が知られている。それと共に、量産性に優れ、しかも種々の特性に優れた薄膜トランジスタが要求されるようになってきている。

【0003】 この薄膜トランジスタは、絶縁基板上に多結晶シリコンを形成して、駆動回路もしくはスイッチング素子を構成している。

【0004】 多結晶シリコンは薄膜トランジスタの活性層として使用されているが、活性層多結晶シリコンの移動度が単結晶シリコンに比べて低く、高速動作を要求される回路にはその特性は不十分であるとの問題があった。このため、多結晶シリコンの移動度を向上させるに、多結晶シリコンの結晶粒径を大きくする方法が検討されている。たとえば、低温で非晶質シリコンを成膜しその後熱処理を施して、結晶粒径を成長させる方法や、多結晶シリコンや非晶質シリコンにシリコンイオン注入で非晶質化し、その後熱処理を施して結晶粒径を成長させる方法やレーザによる結晶化の方法などがある。

【0005】 非晶質シリコンから固相成長させる場合には、多結晶シリコンや非晶質シリコンにシリコンイオンを注入し、完全な非晶質化を行った後、600℃程度の低温で長時間の熱処理を加える方法等で、結晶核の発生を抑え、粒径の大きい多結晶シリコンを得ている。結晶粒径を成長させるのは移動度を上げ、多結晶シリコン薄膜の特性を向上させるためである。

【0006】 また、多結晶シリコンの結晶粒の界面等に存在すると考えられる未結合手の影響を軽減させるために、成膜後のシリコン膜もしくは、上記の方法で成膜した薄膜に、さらに水素プラズマアニール等の手法でシリ

コンの未結合手と水素を結合させて電氣的に安定化し、より特性の優れた多結晶シリコン薄膜とすることなどが行われている。

【0007】 これらの方法で結晶成長させた後は、通常のコプラナ型の薄膜トランジスタの製造工程と同様に Si 島を形成し、ゲート酸化膜を成膜後、ゲート電極を多結晶シリコンで形成する。ソースドレイン領域の形成および、ゲート電極の低抵抗化は自己整合によるイオン注入法を用いる。層間絶縁膜を成膜後ソースドレイン領域の電極を Al 等の金属で形成する。

【0008】

【発明が解決しようとする課題】 しかしながら、非晶質シリコンから固相成長させる場合に、結晶核の発生を制御することが困難なことが多かった。このため、結晶粒径が均一となりにくく、個々の薄膜トランジスタの特性が異なるという問題があった。

【0009】 また、ソース、ドレイン領域の形成およびゲート電極の低抵抗化のため、自己整合によるイオン注入法が用いられるが、その際、大電流によるチャージアップが問題となりゲート絶縁膜が破壊されるという問題があった。

【0010】 本発明は、かかる問題を解決するためになされたもので、活性層多結晶シリコンの移動度を向上させ、個々の薄膜トランジスタの特性のバラツキをなくすると共に、製造工程中のチャージアップによるゲート絶縁膜の破壊を防止することのできる多結晶シリコン薄膜トランジスタの製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 本発明の多結晶シリコン薄膜トランジスタの製造方法は、基板上にシリコン膜を形成する工程と、そのシリコン膜上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に基板上のシリコン膜と接触させてゲート電極となるゲート層を多結晶シリコンにより形成する工程と、ゲート層の多結晶シリコンを結晶核として基板上のシリコン膜を多結晶とする工程と、イオン注入によりソース、ドレイン領域を形成する工程と、所要の層間絶縁膜および電極を形成後、不要な接続部を切断する工程とからなることを特徴とする。

【0012】 本発明において基板上に最初に形成されるシリコン膜は、非晶質シリコン膜でも多結晶シリコン膜であってもよい。しかし、個々の薄膜トランジスタの特性のバラツキをなくすためには完全非晶質シリコン膜が好ましい。多結晶シリコン膜はシリコンイオンの注入などによって完全非晶質シリコン膜とすることができる。なお、非晶質シリコン膜は公知の L P - C V D 装置、常圧 C V D 装置、プラズマ C V D 装置、E C R プラズマ C V D 装置、スパッタリング装置などを使用して形成することができる。

【0013】 ゲート絶縁膜の形成も公知の方法を使用することができる。たとえば、通常の半導体プロセスで用

いられている 850~1000℃の熱酸化処理でゲート酸化膜を形成する方法、シランガスと酸素を含むガスを 800℃以上で分解してゲート酸化膜を形成する方法などがある。しかし、ゲート絶縁膜形成の際、基板上に形成された非晶質シリコン膜の非晶質シリコンが固相成長する場合があるのでゲート絶縁膜を成膜後にシリコン等のイオン注入を行い基板上に形成された非晶質シリコン膜を再び非晶質化するのが好ましい。

【0014】ゲート絶縁膜上に形成される多結晶シリコンは、基板上に形成された非晶質シリコン膜との接触部分をゲート絶縁膜に設けた後、形成される。接触部分は、公知のコンタクトホールなどで形成される。ゲート絶縁膜上の多結晶シリコンの成膜条件は、本発明の製造方法にとって重要である。すなわち、基板上に形成された非晶質シリコン膜とゲート絶縁膜上に形成された多結晶シリコンとの接触界面で多結晶シリコンの方が先に結晶化される成膜条件でなければならない。このためにはゲート絶縁膜上の多結晶シリコンの成膜時に基板上の非晶質シリコン膜が接触界面以外から結晶成長しないための温度で成膜を行うことが好ましい。また、ゲート絶縁膜上の多結晶シリコンが非晶質状態から固相成長した膜であった場合にもゲート層が先に結晶成長することが好ましい。

【0015】このようにして形成されたゲート層の多結晶シリコンを結晶核として接触部分を介して基板上の非晶質シリコン膜を多結晶とする。多結晶化は、たとえば、600℃の温度で15時間程度の熱処理を行なうことによりなされる。

【0016】基板上の非晶質シリコン膜を多結晶とした後、ゲート電極をパターニングし、不純物イオンを注入することにより、自己整合によってソース、ドレイン領域を形成する。注入する不純物イオンは、本発明の製造方法が適用できるnチャンネルMOSFETにあっては、リン、ヒ素、アンチモン等の周期率表第V族の原子をイオン化したものであり、pチャンネルMOSFETにあっては、硼素、インジウム等の周期率表第III族の原子をイオン化したものである。その後、層間絶縁膜およびソース電極、ドレイン電極を公知の方法で形成する。

【0017】最後に、基板上に形成され多結晶とされたシリコン膜とゲート層の多結晶シリコン膜との接触部を分離することにより多結晶シリコン薄膜トランジスタが得られる。接触部の分離は、たとえば、RIE（リアクティブイオンエッチング）装置などを使用することにより行われる。

【0018】なお、本発明に係わる多結晶シリコン薄膜トランジスタに使用できる基板は石英基板やガラス基板等の絶縁基板が使用できる。

【0019】

【作用】絶縁基板上に成膜した非晶質シリコンが結晶化

する様子を図1に示す。

【0020】絶縁基板1上に非晶質シリコン2を成膜しパターニングしたのが図1（a）である。非晶質シリコン2上に酸化層を形成しゲート絶縁膜4を成膜した状態を図1（b）に、ゲート絶縁膜4に非晶質シリコン層2とゲート電極層の多結晶シリコンを接触させるためのコンタクトホール7を開けた状態を図1（c）に示す。ゲート電極となる多結晶シリコン3を成膜しその後この多結晶シリコン3を種結晶として非晶質シリコン2の結晶が成長している様子を図1（d）に示す。

【0021】コンタクトホール7のような、非晶質シリコン2と多結晶シリコン3との接触部分を設けているので、多結晶シリコン3を種結晶として非晶質シリコン2の結晶成長がなされ、多結晶シリコン薄膜トランジスタの活性層が得られる。

【0022】さらに本発明の製造方法においては、ゲート電極をパターニング後、自己整合によってソース、ドレイン領域を形成するために不純物イオンを注入するが、ゲート層と活性層となる非晶質シリコン2は接触しておりゲート層にたまった電荷が接触部を通じて活性層に逃げるができる。したがって、ゲート層と活性層とがほぼ同電位となるためゲート絶縁膜の破壊を防ぐことができる。また本発明の製造方法の最終段階でこの接触部分は分離される。

【0023】

【実施例】以下、絶縁基板上にnチャンネルMOSFETを製造する場合を例にとり、本発明を詳細に説明する。

【0024】製造工程図を図2に示す。LP-CVD装置によって、絶縁基板上1上に非晶質シリコン2を成膜温度530℃で約2000オングストローム成膜する（図2（a））。Si島をパターニング後スパッタ装置で、シリコン酸化膜4を500オングストローム成膜する（図2（b））。酸化膜4の一部にゲート層とのコンタクトホール7を開ける（図2（c））。ゲート層多結晶シリコン3をLP-CVD装置で600℃で成膜し、成膜後そのままの温度で15時間の熱処理を行い活性層非晶質シリコン3の結晶化を行う。結晶化が進む様子を（図2（d））に示す。

ゲート電極5をパターニング後イオン注入装置でリン（P）イオンをドーズ量 1×10^{16} 個/ cm^2 、加速電圧55keVで注入する（図2（e））。

【0025】つぎに、層間絶縁膜6としてLP-CVD装置でシリコン酸化膜を830℃で4500オングストローム成膜し、その後コンタクトホール7をパターニングする（図2（f））。スパッタ装置でアルミニウム（Al）電極8を5000オングストローム成膜し、パターニングする（図2（g））。最後に、活性層とゲート層接触部をRIE装置で分断する（図2（h））。

【0026】このようにして製造した多結晶シリコン薄膜トランジスタの移動度を測定したところ、移動度は2

5

00cm²/vsec 以上であった。この値は通常の固相成長を行って製造した多結晶シリコン薄膜トランジスタの移動度 (10～100cm²/vsec) を大きく上回っている。またゲート絶縁膜の破壊によるTFT不良数も減少しており、ゲート絶縁膜の破壊による不良数の比率は従来法で製造したトランジスタの場合 5% であったが本発明中の活性層、ゲート層の接触部の切断をイオン注入工程の前に行った場合で 4.5%、A1パターニング後に行った場合では 0.8% であった。

【0027】

【発明の効果】本発明の多結晶シリコン薄膜トランジスタの製造方法は、ゲート絶縁膜上に基板上のシリコン膜と接触させてゲート電極となるゲート層を多結晶シリコンにより形成した後、ゲート層の多結晶シリコンを結晶核として基板上のシリコン膜を多結晶とするため、高移動度の活性層を有する多結晶シリコン薄膜トランジスタ

6

が特性のバラツキなく容易に得られる。また、イオン注入によりソース、ドレイン領域を形成する際、ゲート層と活性層とが接触しているため、ゲート層と活性層とがほぼ同電位となり、製造工程中のチャージアップによるゲート絶縁膜の破壊を防ぐことができる。したがって、製造工程中の製品不良を減少させることができる。

【図面の簡単な説明】

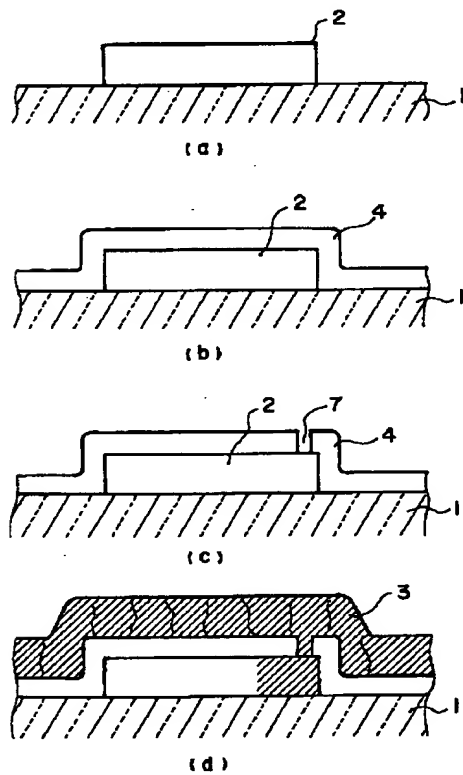
【図1】本発明の適用による非晶質シリコンの結晶化の様子を表した図である。

10 【図2】多結晶シリコン薄膜トランジスタの実施例の製造工程図である。

【符号の説明】

1 ……絶縁基板、2 ……非晶質シリコン、3 ……多結晶シリコン、4 ……ゲート絶縁膜、5 ……ゲート電極、6 ……層間絶縁膜、7 ……コンタクトホール、8 ……A1電極。

【図1】



【図2】

